

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-265866

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/304

識別記号

6 2 2

F I

H 0 1 L 21/304

6 2 2 X

6 2 2 N

審査請求 未請求 請求項の数14 OL (全 8 頁)

(21) 出願番号 特願平11-5128

(22) 出願日 平成11年(1999) 1月12日

(31) 優先権主張番号 09/007911

(32) 優先日 1998年1月15日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(71) 出願人 593062337

シーメンス・アクチエンゲゼルシャフト

ドイツ国ミュンヘン80333、ヴィッテルスバッハープラッツ2

(74) 代理人 弁理士 坂口 博 (外1名)

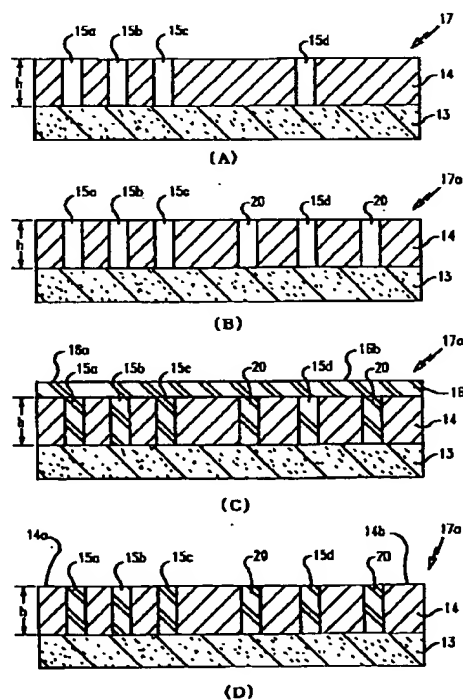
最終頁に続く

(54) 【発明の名称】 ダマシ金属回路パターンの平坦化方法

(57) 【要約】

【課題】 化学機械研磨法を用いてウエハ上にダマシ形成された相互接続を研磨するためのシステムおよび方法を提供する。

【解決手段】 ウエハ上のチップの上の回路を、所定の高金属密度回路範囲および低金属密度回路範囲に入るように、またはチップおよびウエハ表面上に実質上均一な回路密度を提供するためにダマシ工程においてダミー回路を提供するように、あるいはその両方のために設計する。ウエハ表面上の各チップを複数の領域に分割し、その領域内に、つまりはウエハ表面上に、比較的均一な回路密度を提供するために、必要なら各領域にダミー・メタライゼーションを提供することが好ましい。本発明はまた、チップ(チップ断片)が形成されない区域内のウエハ周辺にダミー回路を付加することを企図している。



## 【特許請求の範囲】

【請求項1】シリコン・ウエハ上の複数の集積回路チップのダマシン金属回路パターンを平坦化する方法であって、

ウエハ上の各チップを複数の領域に分割するステップと、

各チップの各領域の金属密度をその領域の回路パターンに基づいて決定するステップと、

各チップ上の各領域にダミー回路パターンを付加して、各領域に少なくとも最小限の金属密度を提供し、あるいは各領域に対する最大金属密度または最小金属密度あるいはその両方を設定するステップと、

各チップ上の誘電層中の開口部として所望の回路パターンと任意のダミー回路パターンの両方を形成するステップと、

前記のパターン化した誘電層に金属層を付着して、金属が前記開口部を充填し、かつ前記回路パターンを含むウエハ表面を覆うステップと、

所望の回路パターンおよび任意のダミー回路パターンの外側に金属が残らなくなるまで前記の金属被覆したウエハを研磨するステップとを含む方法。

【請求項2】最大金属密度が約60～約90%である請求項1に記載の方法。

【請求項3】最小金属密度が約20～約50%である請求項1または2に記載の方法。

【請求項4】各チップが最大約1000の領域に分割される請求項1に記載の方法。

【請求項5】前記領域が正方形である請求項4に記載の方法。

【請求項6】ダミー回路パターンが、または最大金属密度または最小金属密度あるいはその両方の設定が、ウエハの縁のチップ断片に提供される請求項1に記載の方法。

【請求項7】シリコン・ウエハ上の複数の集積回路チップのダマシン金属回路パターンを平坦化するための装置であって、

回転式ターンテーブル・アセンブリと、

前記アセンブリ上に支持された研磨パッドと、

前記アセンブリの上方に位置し、平坦化中キャリアと前記研磨パッドの間に配置されたシリコン・ウエハを保持するように適合された回転式キャリアと、

高金属密度パターン係数設計限度または低金属密度パターン係数設計限度あるいはその両方を設定することにより、またはウエハ表面上のダミー回路設計を用いることにより、ウエハ表面全体にわたって金属の金属密度を変化させる手段とを含む装置。

【請求項8】高金属密度パターン係数設計限度が約60～約90%である請求項7に記載の装置。

【請求項9】低金属密度パターン係数設計限度が約20～約50%である請求項7または8に記載の装置。

【請求項10】各チップが最大約1000の領域に分割される請求項7に記載の装置。

【請求項11】前記領域が正方形である請求項10に記載の装置。

【請求項12】ダミー回路パターンが、または高金属密度パターン係数設計限度または低金属密度パターン係数設計限度あるいはその両方の設定が、ウエハの縁部のチップ断片に提供される請求項7に記載の装置。

【請求項13】請求項1に記載の方法によって作成された半導体ウエハ。

【請求項14】請求項6に記載の方法によって作成された半導体ウエハ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体ウエハを研磨するためのシステムおよび方法に関し、より詳細には、高度のダマシン（damascene）平坦度を達成するために化学機械研磨法を用いてウエハ上のダマシン法で形成された相互接続を研磨することに関する。

## 【0002】

【従来の技術】集積回路素子の製造においては、通常、多数の集積回路を1つの半導体ウエハ上に同時に構築する。その後、このウエハを切断することにより、個々の集積回路素子に分割する。

【0003】通常、集積回路素子は、メタライゼーション、誘電体、および他の材料をウエハ表面上に付着して積層相互接続構造を形成する一連の積層工程によって作成される。この製造工程における1つの重要なステップは絶縁層内に相互接続を形成することである。相互接続は集積回路素子の異なる層を接続し、高度の複雑さと高い回路密度を有する集積回路素子を提供する。

【0004】相互接続を形成する1つの方法は、一般にエッチングによって平面誘電層内にバイアまたはトレンチのパターンを形成し、次いでこのパターンに金属を充填する、ダマシン方法を使用するものである。通常、過剰の金属が付着され、誘電体の上表面を覆う。次いでパターン化した金属表面までこの過剰の金属を研磨除去する。この製造工程の他のステップにおけるのと同様に、研磨された相互接続ダマシン層が平坦であることが非常に重要である。

【0005】超高密度集積回路を製造するのに必要な平坦度を達成するために、通常、化学機械平坦化法が現在当業界において用いられている。一般に、化学機械平坦化（CMP）法では化学反応性の研磨剤スラリーで濡れた移動する研磨表面に半導体ウエハを押しつける。スラリーは通常塩基性、酸性または中性で、一般にアルミナまたはシリカの粒子を含む。研磨表面は通常、発泡ポリウレタンなどの比較的柔らかい多孔質材料で作られた平面パッドである。このパッドは通常平面プラテン上に装着される。

【0006】CMP法において、ウエハは通常真空によりまたは接着剤などの装着媒体によりキャリア板に固定され、ウエハが回転式ターンテーブルに取り付けた研磨パッドと摩擦接触するように、キャリアを通じて加圧板によりウエハに力の負荷が加えられる。キャリアおよび加圧板もまた回転式ターンテーブルからの駆動摩擦の結果、または加圧板に直接取り付けられた回転駆動手段により回転する。通常の研磨機において、ウエハはウエハを研磨する研磨表面を横切って移送される。このCMP法は周知で、米国特許第5,423,716号はその例であり、同特許の開示を参照により本明細書に合体する。

【0007】ウエハから形成される半導体素子に関して、この素子は通常バイアまたは層間相互接続によって相互接続された集積回路を形成する、金属線などの複数の層間にまたがる回路を含む。ダマシン法においては、相互接続のメタライゼーションは誘電層中に所望の回路を素子の能動領域までエッチングすることによって行われる。導電性金属の薄層を、たとえば真空蒸着、スパッタ、または化学的气相付着（CVD）法によりウエハ全体に付着する。この金属層の不要な部分をCMPによって除去し、相互接続としての細い金属線を残す。

【0008】単純ダマシン構造および二重ダマシン層は共に同じ方法で作成でき、どちらの方法もウエハを相互接続表面まで研磨して平坦な表面を与えるためにCMP法を必要とする。困ったことに、平坦でない表面をもたらすディッシング（dishing）などの問題が生じる。研磨はウエハ全体の金属が無くなるまで、すなわち金属が誘電体表面には全然なく以前にエッチングされた線だけに残るように行う必要があるため、ディッシング効果は特に深刻である。著しい過剰研磨が通常必要であり、その結果、誘電体表面から100nmほどの誘電体の侵食および金属のディッシングが生じることが知られている。その結果、過剰研磨された領域内の相互接続の厚みが著しく減少し、ウエハの他の領域または個々の集積回路素子中の相互接続に比べて面積抵抗が増大する。さらに、CMP後のウエハ表面上に不均一なトポグラフィが生じ、続く誘電層の付着の後僅かに細くなることが繰り返し生じ、製造工程の後のステップで問題になる。

【0009】

【発明が解決しようとする課題】従来の技術の問題点および欠点を念頭に置けば、したがって本発明の目的はダマシン法において金属層で被覆された半導体ウエハおよび他の工作物を研磨する方法を提供することである。

【0010】本発明の別の目的は、製造工程のダマシン・ステップにおける半導体ウエハおよび他の工作物を研磨するための装置を提供することである。

【0011】本発明の別の目的は、本発明の改良された方法および装置を用いて作成された半導体ウエハを含む平坦な工作物を提供することである。

【0012】本発明の他の目的および利点は以下の記述

から容易に明らかになるであろう。

【0013】

【課題を解決するための手段】上記および当業者にとって明らかであるその他の目的および利点は、第1の態様において、金属被覆シリコン・ウエハ上の複数の離散的（discrete）の集積回路チップのダマシン金属回路パターンを平坦化するための方法であって、好ましくはウエハ上の各チップを複数の領域に分割するステップと、各チップの各領域の金属密度をその領域の回路パターンに基づいて決定するステップと、各チップ上の各領域にダミー回路パターンを付加し、各領域に少なくとも最小限の金属密度を提供し、あるいは各領域に対する最大金属密度または最小金属密度あるいはその両方を設定するステップと、各チップ上の誘電層中の開口部として所望の回路パターンと任意のダミー回路パターンの両方を形成するステップと、このパターン化した誘電層に金属層を付着して、金属がこの開口部を充填して所望の回路パターンおよび任意のダミー回路パターンを形成し、かつ回路パターンを含むウエハ表面を覆うステップと、所望の回路パターンおよび任意のダミー回路パターンの外側に金属が残らなくなるまでこの金属被覆ウエハを研磨するステップとを含む方法を対象とする本発明において達成される。

【0014】広義には、本発明は各集積回路チップの全体にわたってダマシン金属線回路の均一な分布を提供することを対象とする。通常の集積回路チップでは、ダマシン層上の金属回路のパターン係数は最大で約80~90%まで変動し、個々の区域または領域のパターン係数は、金属で覆われた面積を個々の区域または領域の全面積で割った値として定義される。したがって、20ミクロン×20ミクロンの辺で囲まれた正方形区域において金属が200平方ミクロンの面積を覆う場合、パターン係数は50%である。

【0015】スパッタまたは他の付着工程中の質量保存により、付着後の金属表面は、60%という高パターン係数（HPF）の区域の方が、20%という低パターン係数（LPF）の区域より低いことが分かっている。その結果、CMP工程中、誘電体上の金属はHPF区域とLPF区域とで除去され方が異なる。研磨は以前にエッチングされた線中にのみ金属を残してウエハ全体のパターン化された金属が無くなるまで行われるため、HPF区域は一般に著しい過剰研磨を受け、その結果、誘電体表面レベルより100nm下まで誘電体の侵食と金属のディッシングが起こる。その結果、HPF区域内の線（相互接続）の厚みまたは高さが薄くまたは短くなり、そのためLPF区域内のより厚い線と比較して面積抵抗が増大する。

【0016】ディッシング効果やその他の非平坦化を克服するために、本発明ではチップ上の諸領域のパターン係数の差を減少させる。たとえば、最大90%のHPF

10

20

30

40

50

区域は、0%または20~30%のLPF区域と比べてパターン係数の差が90%にも達することがある。本発明の1つの特徴は、チップおよびこれに付随してウエハの表面全体にわたって均一な金属密度（パターン係数）を提供することにより、チップ表面全体にわたるパターン係数の差を減少させることにある。

【0017】本発明の別の態様において、60~90%、好ましくは70~80%の所定の高パターン係数設計限度を設定する方法が提供される。この方法を用いると、HPF区域の設計上限が低くなるので、高パターン係数区域と低パターン係数区域との差が最小限になる。

【0018】本発明の別の態様において、所定の低パターン係数設計限度が設定される。たとえば、20~50%などの低い設計限度の場合、チップ上の高低パターン係数間の差が最小限になる。

【0019】本発明の別の態様において、チップおよびウエハ表面全体にわたって金属回路の均一性を増大させる、高パターン係数設計限度および低パターン係数設計限度が定義される。たとえば、HPF限度が70%~80%の最大値に設定され、LPF限度が40%~50%の最小値に設定される場合、この区域の回路密度の差はチップおよびウエハの表面全体にわたってわずか20%~40%となり、CMP工程の後侵食またはディッシングが極めて少ない金属表面が得られる。

【0020】本発明の別の態様において、ダミー回路設計を用いることによりチップまたはウエハ表面の所与のどの領域にでも、低パターン係数設計限度を人工的に生じさせることができる。パターン係数上限を用いることが好ましいが、必ずしもそうする必要はなく、ダミー回路パターン・レイアウトを使用するとチップおよびウエハ表面上の回路密度差が最小になり、CMP後に均一な金属表面が得られる。

【0021】基本的に、あるダマシ・レベル上の金属フィーチャを定義するデータをコンピュータに入力し、ダミー回路を生成するアルゴリズムを用いて、回路を少なくとも特定領域のパターン係数下限にまで増大させる。回路のタイプおよびサイズは広い範囲で選択できるが、幅1ミクロンの線を1ミクロン間隔でなど非臨界サイズの回路フィーチャを生成させることが好ましい。チップ回路のサイズに倣うことがより好ましい。

【0022】本発明の重要な特徴は、ダミー線がチップ設計のフィーチャと電気的接触を持たないことである。ダミー線をアンダーライン（またはオーバーライン）レベルを介して基板に接続して、寄生ノイズおよびRC遅延の原因として働く電流を導く線の近傍の浮動キャパシタンスを回避するのが理想的である。

【0023】本発明の別の態様において、本発明の方法はまた、ウエハ全体にわたる金属密度（パターン係数）の制御も対象とする。これが重要なのは、ウエハの周辺にはウエハの曲線構造のためにチップには形成されない

がウエハの金属の均一性に影響を与え、CMP工程の後にディッシングをもたらす可能性がある区域があるからである。したがって、ウエハ全体がより均一な金属パターン係数のチップおよびチップ断片で覆われるように、ウエハの縁部に（メタライゼーションを伴う）部分ダミー・チップを形成するのが本発明の追加の特徴である。

【0024】本発明のさらに別の態様において、平坦ダマシ・ウエハを作成するための装置が提供される。本発明の方法および装置によって作成されたウエハも本発明で企図される。

【0025】金属被覆シリコン・ウエハ上の複数の離散的集積回路チップのダマシ金属回路パターンを平坦化する装置は、回転式ターンテーブル・アセンブリと、前記ターンテーブル・アセンブリ上に支持された研磨パッドと、前記ターンテーブル・アセンブリの上方に位置し、平坦化中前記キャリアと前記研磨パッドとの間に配置されたシリコン・ウエハを保持するように適合された回転キャリアと、高金属密度パターン係数設計限度または低金属密度パターン係数設計限度あるいはその両方を設定することにより、またはウエハ表面上のダミー回路設計を使用することにより、（好ましくは領域ごとに）ウエハ表面を横切って金属のパターン係数（金属密度）を変化させる手段とを含む。

【0026】

【発明の実施の形態】本発明の好ましい実施形態の記述において、図1ないし図16を参照するが、図で同じ番号は本発明の同じフィーチャを指す。発明のフィーチャは必ずしも図面中で原寸に比例していない。

【0027】図面を参照すると、図1は多数の離散するチップ11に分割される従来のウエハ10を示す。このウエハ10の周辺には、その上に回路が形成されず、ウエハを製作し切断して集積回路素子を形成した後に廃棄されるウエハ上の部分であるいくつかの区域12がある。

【0028】図2は、ウエハ10上のチップ11の拡大図である。チップ11は多数の領域17に分割され、通常各領域はその上に回路を有する。チップ11が何個の領域17に分割されるかは重要でないが、一般に領域の数が多いほどCMP工程の後にウエハがより均一（平坦）になる。通常、たとえば100~750など約1000またはそれ以上までの領域数が用いられる。各領域17は図2に示すように矩形、好ましくは正方形に分割することが好ましい。通常、ウエハはそれぞれ最大約38×38mm（1.5×1.5インチ）の寸法のチップ約50個を有する。ウエハは通常直径約20cm（8インチ）である。

【0029】図3（A）ないし図9（A）および図3（B）ないし図9（B）において、異なる回路を載せたチップ11上のいくつかの領域17を示す。HPFおよびLPF限度が各領域ごとに設定され、少なくともLP

F限界に達するのに必要なダミー回路が付加されるものと仮定する。図3(A)において、領域17はこの領域の1辺から他の辺に向けて延びる4本の線15を有する。図3(B)においては、図3(A)に示した領域17にダミー線20が加えられ、修正された領域17Aが形成されている。したがって、図3(A)の領域17の回路密度が増加したことが分かる。また、この線は領域17Aにおいて均一な回路構造を提供するように付加することが好ましい。これは常に可能とはいえないが、平行な金属線15のみを有するというこの領域17の性質のため、この場合には容易に設計可能である。

【0030】図4(A)に1本の線15を有する領域17を示す。この領域の回路密度を増大させるために、図4(B)に示すように追加のダミー線20を加えて領域17Aを形成する。同様に、図5(A)には金属回路線15が示され、図5(B)ではダミー線20を加えて領域17Aが形成されている。図6(A)には領域17内に回路線15が示され、図6(B)に示すようにダミー線20を領域17に加えて領域17Aが形成されている。

【0031】図7(A)には回路を持たない領域17を示す。図7(B)では、領域17の回路密度を増大させるために6本のダミー線20を加えて領域17Aが形成されている。

【0032】図8(A)には、領域17内の数本の回路線15を示す。この領域の回路密度はこのチップのHPF設計パターン係数の上限にあるため、図8(B)の領域17Aに示すように、ダミー線は加えられていない。

【0033】図9(A)には、領域17内の横方向の回路線15を示す。図9(B)では、図9(A)に示すように領域17の回路密度を増大させるために数本のダミー線20を加えて領域17Aが形成されている。

【0034】次に図11には、チップの領域にダミー・メタライゼーションを加える本発明の方法を示す。図11(A)には二酸化ケイ素誘電層14を上に乗せたシリコン基板13を示す。誘電層14内に開口部を相互接続するための開口部15a、15b、15c、15dが形成され、層14の表面からシリコン・ウエハ13の表面へ延びている。この構造は、図3(A)に示した構造に類似している。図11(B)は図3(B)に示したダミー線の付加と同様のダミー線20の付加を示す。図11(C)では、金属層16が誘電層14の上面に被覆され、開口部15a~15dおよびダミー開口部20を充填している。図では、領域17の両側にある金属層16の表面16aおよび16bが、実質上水平(平坦)であり、領域17の表面上のメタライゼーションが均一であることを示している。誘電層14中の開口部の高さはhで示されている。図11(C)のメタライズしたウエハはここで従来の手段を使って化学機械研磨にかけ、金属層16が誘電層14の表面まで除去される。両側の端部

14aおよび14bで示される残りの誘電体表面はチップの領域17全体にわたって実質上水平であることがわかる(図11(D))。

【0035】ダミー回路を用いて均一なメタライズした誘電体表面を提供する本発明の方法を示す図11は、従来技術のダマシンの平坦化方法を示す図10に対比される。すなわち、図10(A)において、チップの領域17はシリコン基板13およびその上の誘電層14を有する。誘電体中に高さhの開口部が設けられ、15a~15dとして示されている。図10(B)において、金属層16が誘電層14の表面上に付着され、開口部15a~15dを充填し、この誘電体表面を完全に覆っている。質量保存のため、誘電体表面14上に付着した金属16は不均一(非平坦)で高いレベル16bに対して16aで示すように低いレベルの高さをも有する。低いレベル16aは開口部15a、15b、15cを含む高パターン係数区域の上であり、それに対し、高いレベル16bは唯一の開口部15dを含む低パターン係数区域の上にある。

【0036】次に図10(B)のウエハを化学機械研磨にかけて、金属層16を誘電層14内の開口部まで除去する。図10(C)に見られるように、開口部15a、15b、15cを有する高パターン係数区域の高さh'は、開口部15dのみを中に有する低パターン係数区域の高さhより低い。したがって、領域17はディッシングされており、図11(D)に示す本発明の方法で作られたメタライズされ平坦化された領域17に対比される水平なトポグラフィを持たない。

【0037】図1に戻って、ウエハ12のチップが形成されない周辺区域には、周辺区域12に所望の回路密度を提供するため、前述のようにダミー回路がパターン化される。これらの周辺区域により高い回路密度を提供することにより、ウエハ全体の平坦度が改善され、ウエハ上の各チップの平坦度が向上する。前述のように各チップ11にダミー線およびダミー回路を付加すると同様に、前記のように周辺部12にもダミー回路が付加される。したがって、回路密度を持たない周辺区域12には少なくともLPF回路密度、好ましくはウエハ上のチップ11のLPFとHPFのほぼ平均の回路密度が提供される。周辺区域12はチップ11と同様に図2に示すようにゾーン17に分割することが好ましい。各周辺区域12の各ゾーンには、ウエハ10全体の平坦度を向上させるため、次にダミー回路を設ける。

【0038】以上の説明はシリコン・ウエハおよび誘電体としての酸化ケイ素の使用を対象としてきた。いかなるウエハ材料および誘電材料も本発明の方法に用いるのに適していることが、当業者は理解されよう。同様に、ウエハ表面内のダマシンの開口部をメタライズするのにどんな金属も使用でき、適当な金属にはアルミニウム、銅、タングステンなどが含まれる。通常、誘電体の表面

上の金属層の厚みは約0.5〜1ミクロンである。

【0039】本発明を実施するには適当などんなCMP装置も使用することができる。通常、CMP装置では、当技術分野で普通に用いられる液状スラリを使用する。

【0040】まとめとして、本発明の構成に関して以下の事項を開示する。

【0041】(1) シリコン・ウエハ上の複数の集積回路チップのダマシ金属回路パターンを平坦化する方法であって、ウエハ上の各チップを複数の領域に分割するステップと、各チップの各領域の金属密度をその領域の回路パターンに基づいて決定するステップと、各チップ上の各領域にダミー回路パターンを付加して、各領域に少なくとも最小限の金属密度を提供し、あるいは各領域に対する最大金属密度または最小金属密度あるいはその両方を設定するステップと、各チップ上の誘電層中の開口部として所望の回路パターンと任意のダミー回路パターンの両方を形成するステップと、前記のパターン化した誘電層に金属層を付着して、金属が前記開口部を充填し、かつ前記回路パターンを含むウエハ表面を覆うステップと、所望の回路パターンおよび任意のダミー回路パターンの外側に金属が残なくなるまで前記の金属被覆したウエハを研磨するステップとを含む方法。

(2) 最大金属密度が約60〜約90%である上記

(1)に記載の方法。

(3) 最小金属密度が約20〜約50%である上記

(1)または(2)に記載の方法。

(4) 各チップが最大約1000の領域に分割される上記(1)に記載の方法。

(5) 前記領域が正方形である上記(4)に記載の方法。

(6) ダミー回路パターンが、または最大金属密度または最小金属密度あるいはその両方の設定が、ウエハの縁のチップ断片に提供される上記(1)に記載の方法。

(7) シリコン・ウエハ上の複数の集積回路チップのダマシ金属回路パターンを平坦化するための装置であって、回転式ターンテーブル・アセンブリと、前記アセンブリ上に支持された研磨パッドと、前記アセンブリの上方に位置し、平坦化中キャリアと前記研磨パッドの間に配置されたシリコン・ウエハを保持するように適合された回転式キャリアと、高金属密度パターン係数設計限度または低金属密度パターン係数設計限度あるいはその両方を設定することにより、またはウエハ表面上のダミー回路設計を用いることにより、ウエハ表面全体にわたって金属の金属密度を変化させる手段とを含む装置。

(8) 高金属密度パターン係数設計限度が約60〜約90%である上記(7)に記載の装置。

(9) 低金属密度パターン係数設計限度が約20〜約50%である上記(7)または(8)に記載の装置。

(10) 各チップが最大約1000の領域に分割される上記(7)に記載の装置。

(11) 前記領域が正方形である上記(10)に記載の装置。

(12) ダミー回路パターンが、または高金属密度パターン係数設計限度または低金属密度パターン係数設計限度あるいはその両方の設定が、ウエハの縁部のチップ断片に提供される上記(7)に記載の装置。

(13) 上記(1)に記載の方法によって作成された半導体ウエハ。

10 (14) 上記(6)に記載の方法によって作成された半導体ウエハ。

【図面の簡単な説明】

【図1】多数の集積回路素子(チップ)に分割されたウエハを示すウエハの上面図である。

【図2】ウエハ上の1つのチップが多数の領域に分割された状態を示すチップの上面図である。

【図3】金属回路を有するチップのある領域(A)、およびこの領域上に均一な回路密度を提供するためにさらにこの上に付加されたダミー回路を有するチップの領域(B)を示す集積回路素子領域の上面図である。

20 【図4】金属回路を有するチップの別のある領域

(A)、およびこの領域上に均一な回路密度を提供するためにさらにこの上に付加されたダミー回路を有するチップの領域(B)を示す集積回路素子領域の上面図である。

【図5】金属回路を有するチップの別のある領域

(A)、およびこの領域上に均一な回路密度を提供するためにさらにこの上に付加されたダミー回路を有するチップの領域(B)を示す集積回路素子領域の上面図である。

30 【図6】金属回路を有するチップの別のある領域

(A)、およびこの領域上に均一な回路密度を提供するためにさらにこの上に付加されたダミー回路を有するチップの領域(B)を示す集積回路素子領域の上面図である。

【図7】金属回路を有するチップの別のある領域

(A)、およびこの領域上に均一な回路密度を提供するためにさらにこの上に付加されたダミー回路を有するチップの領域(B)を示す集積回路素子領域の上面図である。

40 【図8】金属回路を有するチップの別のある領域

(A)、およびこの領域上に均一な回路密度を提供するためにさらにこの上に付加されたダミー回路を有するチップの領域(B)を示す集積回路素子領域の上面図である。

【図9】金属回路を有するチップの別のある領域

(A)、およびこの領域上に均一な回路密度を提供するためにさらにこの上に付加されたダミー回路を有するチップの領域(B)を示す集積回路素子領域の上面図である。

50 【図10】従来の方法によって、ウエハ上にダマシ・

11

12

レベルを形成するための一連のステップを示す概略図である。

【図11】本発明の方法に従って、ウエハ上にダマシン・レベルを形成するための一連のステップを示す概略図である。

【符号の説明】

10 ウエハ

11 チップ

12 区域

14 二酸化ケイ素誘電層

13 シリコン基板

13 シリコン・ウエハ

14a、14b 端部

15 金属線または回路線

15a、15b、15c、15d 開口部

16 金属層

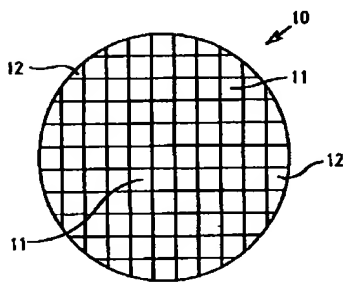
16a、16b 表面

16a、16b レベル

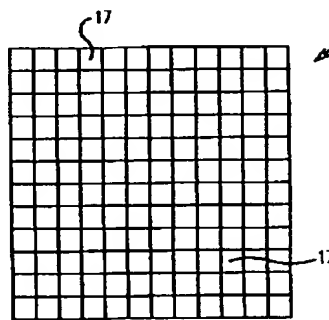
17、17A 領域

10 20 ダミー線またはダミー開口部

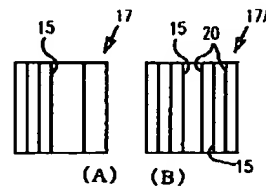
【図1】



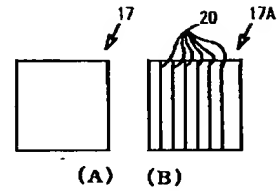
【図2】



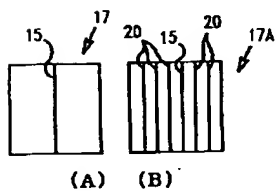
【図3】



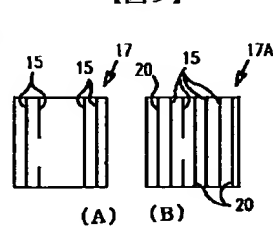
【図7】



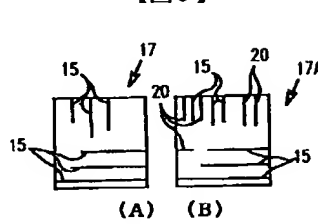
【図4】



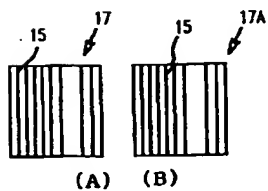
【図5】



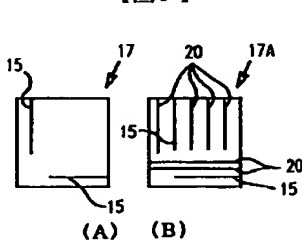
【図6】



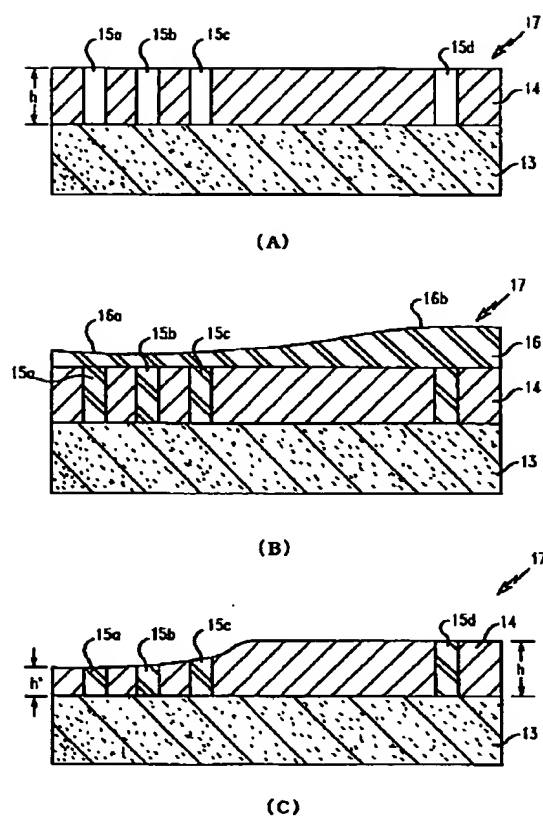
【図8】



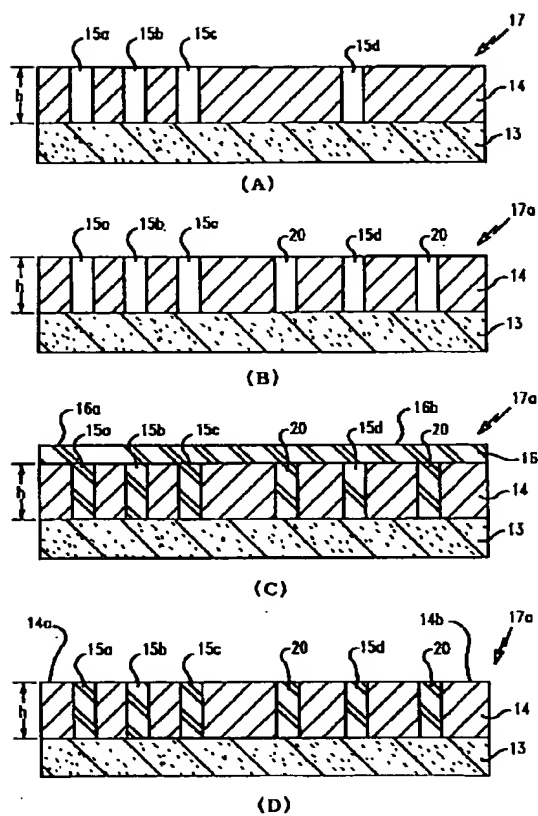
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 マーク・エイ・ジェイソー  
アメリカ合衆国20109 バージニア州マナ  
サス ダブルトリートコート 8126

(72)発明者 レイナー・エフ・シュナーベル  
アメリカ合衆国12590 ニューヨーク州ワ  
ッピングーズ・フォールズ マックスウェ  
ル・プレイス 5